

⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑮ 特許出願公開
昭56—144523

⑯ Int. Cl.³
H 01 G 4/30
4/10

識別記号

庁内整理番号
6466—5E
2112—5E

⑰ 公開 昭和56年(1981)11月10日

発明の数 1
審査請求 有

(全 4 頁)

⑱ 積層コンデンサの製造方法

⑲ 特 願 昭55—46876

⑳ 出 願 昭55(1980)4月11日

㉑ 発 明 者 高橋哲生

東京都中央区日本橋一丁目13番
1号東京電気化学工業株式会社
内

㉒ 発 明 者 高谷稔

東京都中央区日本橋一丁目13番
1号東京電気化学工業株式会社
内

㉓ 発 明 者 池田次男

東京都中央区日本橋一丁目13番
1号東京電気化学工業株式会社
内

㉔ 発 明 者 岡崎充穂

東京都中央区日本橋一丁目13番
1号東京電気化学工業株式会社
内

㉕ 出 願 人 東京電気化学工業株式会社

東京都中央区日本橋1丁目13番
1号

㉖ 代 理 人 弁理士 倉内基弘 外1名

明 細 書

1 発明の名称 積層コンデンサの製造方法

2 特許請求の範囲

1 基板上に、酸化物誘電体と導体とを交互に薄膜形成手段により形成積層し、次で外部接続手段を積層体の一部に形成することを特徴とする積層コンデンサの製造方法。

2 前記薄膜形成手段がスパッタリング法であることを特徴とする特許請求の範囲第1項記載の積層コンデンサの製造方法。

3 発明の詳細な説明

本発明は積層コンデンサの製造方法に関する。

積層コンデンサの構造は公知であり、一般に、誘電体層と電極層の交互積層体、及びこの積層体の側面に形成された電極層用の引出端子電極より成る。しかし、この積層コンデンサは、誘電体粉末をバインダーで結合した生シートと Ag-Pd や

Pd などの耐熱性金属層を重ねし、圧縮または圧延した上、高い温度で焼成する必要がある。

同様な方法には各層を印刷技術を用いて積層し、高温で焼成することも提案されている。

これらの方法の欠点は、層の厚さがあまり薄くできないので特性範囲が限られていることである。また積層体の焼成が必要であるので電極金属を耐熱性材料から選択しなければならないことである。

本発明は薄膜技術を用いて積層チップ型コンデンサを提供することを目的とし、焼成工程を用いなくて、同一寸法でも従来よりも容量が大きい、或いは容量が同一でも小型の積層コンデンサを提供するものである。

本発明はスパッタリング法、イオンプレーティング法、溶射法、イオンビーム法、気相成長法、真空蒸着法等の薄膜形成法を用いて実施されるものである。コンデンサの形成には金属電極層と誘電体層の積層が必要であるが、前者についてはこれらの方法は問題がないが後者の形成にはスパッタリング法、溶射法或いはイオンプレーティング

法が用いられる。これらの方法によれば BaTiO_3 や TiO_2 等の酸化物の薄膜形成も困難ではない。従つて、本発明は上記の種々の薄膜形成法のうち、スパッタリング法等の誘電体にも金属にも適用できる方法の1種またはこれと他の方法との組合せ等を採用して実施することができる。金属電極としては従来のように高価なPd、Pd-Ag等を用いる必要はなく、銅、アルミニウム、ニッケル或いは銀を用いることができる。

本発明の方法で得られる積層コンデンサの最大の特長は、各層の厚みがオングストローム単位(10^{-10} m)に出来るため容量範囲が電解コンデンサに必敵する範囲($\sim 100 \mu\text{F}$)まで拡大しうることである。

以下に図面に開示して本発明を詳しく説明する。

種々の薄膜形成法のうち、本発明で推奨されるのはスパッタリング法である。スパッタリング法は一般に膜形成速度が他の方法に比べて劣るのであるが、高速スパッタリング法も開発されている。スパッタリング法は誘電体膜または金属膜におけ

5

第2図～第8図は本発明の第1実施例による積層チップコンデンサの製造工程を示す。基板4に形成される薄膜パターンはマスク3により規定されるもので、被着すべきパターンに応じたマスクを複数用意しておき、これらを適正な順序で用いるものとし、またマイナス電極1に配置する金属源及び酸化物源も適当な順序で交互使用されるものとする。また、各マスクには複数の同一パターンを形成することにより複数の積層コンデンサを同時に製造することができる。なお基板4としては剥離性を付与した金属板等を用いることができ、或いは剥離しないでコンデンサの一部となる絶縁体を用いてもよい。

さて、第2図に示すように、先ず Al_2O_3 、 SiO_2 、 TiO_2 または BaTiO_3 を酸化物源2からスパッターさせて基板4に Al_2O_3 、 SiO_2 、 TiO_2 または BaTiO_3 の薄膜10を形成する。酸化物源と形成される薄膜10の組成が一致しない場合には雰囲気ガスの酸素濃度を調整するなどして所定の誘電体薄膜10とすることができる。次に、マスクを交換し

5

る組成をほぼそのまま生成膜の組成とする点、付着強度がすぐれている点、生成膜が一様な点で特に好ましい方法である。なお、スパッタリング法やイオンプレーティング法では回り込み現象が大きくなるので、マスクは基板の面に出来るだけ接近させる。

第1図はスパッタリング法の原理図を示すもので、 $10^{-3} \sim 10^{-2}$ トール程度のアルゴンガスを封じた真空室にマイナス電極1と接地電極5とを対向させ、この間に高周波電圧($\sim 10 \text{ MHz}$ 等)を印加する。マイナス電極1の面には蒸着しようとする金属または誘電体(酸化物)の板2を保持させ、接地電極5の面には蒸着用の基板4を設け、そして、基板4の面にはマスク3を配置する。高周波電圧を電極1、5の間に印加すると、金属または誘電体の板2はイオン化されたガスにより攻撃されて金属または誘電体原子または分子は基板4へ向けてスパッターし、薄膜状に付着する。なお高周波スパッター法は公知であるからこれ以上詳しい説明は必要がないと思う。

4

てアルミニウム、銅、ニッケル、銀等の電極膜11を形成する。電極膜11は第3図に示すように誘電体薄膜10の上縁に一端が露出するように形成される。次に第4図の工程に移り、第2図に示した誘電体膜10と同じ物質源及びマスクを用いて、誘電体膜12を形成する。次に第5図に示した電極膜11と同じ物質源を用い、誘電体膜12の下縁に一端が露出する電極膜13を形成する。これにより誘電体膜12を挟んで電極膜11、13の間に容量が形成されることになる。第2～5図の工程を所要回数反復して所定数の積層を行った後、第6図のように誘電体膜14を形成する。以上の工程が終つたら、積層体を基板から剥離し、適当な導電ペースト(銀粉末等を含むペースト)等を第7図及び第8図のように積層体の上下縁部周辺に焼付けて、電極膜11、13に対する外部端子15、16を形成する。完成した積層チップコンデンサの等価回路は第9図に示す通りである。

本実施例において、各層の膜厚はオングストロームで測られる非常に薄いものにし得るから、全

6

体として矩形のチップ型積層コンデンサであるにも拘らず、容量は非常に大きなものにすることも困難ではない。また焼成工程を用いないから電極材料は耐熱性を有する必要はなく任意の安価な導電材料から選択することができる。

第10図ないし第16図は本発明の他の実施例による積層コンデンサの製造工程を示す。また第17図はその応用例を示す。

第10図を参照するに、先ず TiO_2 、 $BaTiO_3$ 等の誘電体膜21をスパッタリング法により形成する。次に第11図に示すように上辺が誘電体膜21の上辺に露出するようにして複数の(図では4本)Al、Cu等の電極膜22をスパッタリング法により形成する。次に、第12図のように下側の層を完全に被う誘電体膜23を形成し、次に第13図に示すように、下辺が誘電体膜23の下辺に露出するようにして複数の電極膜24を形成する。これらの電極膜は下側の電極膜22の上に重畳するように位置づけられるから、上下の電極膜22、24は誘電体膜23を介在した複数のコ

7

ンデンサを形成する。以下、第10～13図の工程を必要な回数だけ反復することにより所定数の積層を行つた後、第14図に示すように全体に誘電体膜25を印刷して積層を終る。第15図に示したように、積層体の上下辺(第15図で左右辺)には、電極膜22、24が露出しているから、導電ペーストをそこに焼付けて外部端子27、27'を形成する。また必要に応じて端子28を積層体の辺部に形成してもよい。

本実施例によればそれ自体を集積回路基板として利用できる積層コンデンサが提供される。第14図に示した積層コンデンサはプリント基板へ直づけ(例えば外部端子28を利用する)が可能であるが、さらに第17図に示すように、トランジスタ31、抵抗30、コイル32等の電子部品、及びそれらを接続するプリント配線33等を付属させることにより集積回路基板として使用できる。

以上のように、本発明によれば、従来の積層コンデンサに比して色々を点ですぐれた製品が提供できた。本発明はスパッタリング法に関連して

8

主に説明したが、他の真空蒸着技術による膜形成法も必要の変更を行つて本発明に適用できることは明らかであろう。

4. 図面の簡単な説明

第1図は本発明の方法を実施するための装置の1例を示す正面図、第2図ないし第8図は本発明の各順次工程を示す平面図、第9図は第7～8図に示された積層コンデンサの等価回路図、第10図ないし第14図は本発明の方法の他の実施例による各順次工程を示す平面図、第15図は第14図に示された積層体の斜視図、第16図は第10～15図の工程を経て完成した積層コンデンサの斜視図、及び第17図は第16図の積層コンデンサの応用例を示す平面図である。図中主な部分は次の通りである。

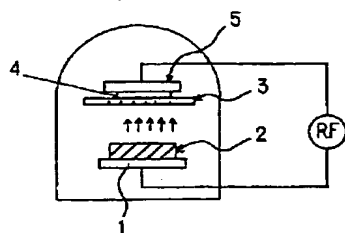
10, 12, 14, 21, 23, 25 : 誘電体膜

11, 13, 22 : 電極膜

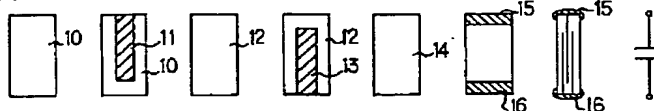
15, 16, 27, 27' : 外部端子

9

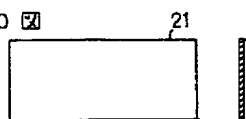
第 1 図



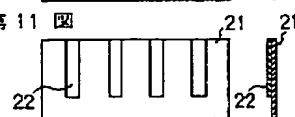
第 2 図 第 3 図 第 4 図 第 5 図 第 6 図 第 7 図 第 8 図 第 9 図



第 10 図



第 11 図



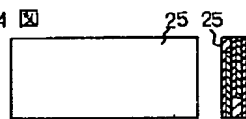
第 12 図



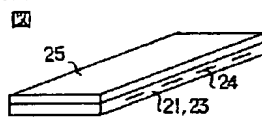
第 13 図



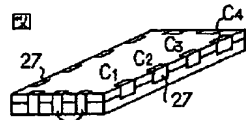
第 14 図



第 15 図



第 16 図



第 17 図

